

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 09153597 A

(43) Date of publication of application: 10 . 06 . 97

(51) Int. Cl

H01L 27/108
H01L 21/8242
H01G 4/33
H01L 27/10
H01L 21/8247
H01L 29/788
H01L 29/792
H01L 37/02
H01L 41/09
H01L 41/187
// H01L 21/316

(21) Application number: 08036041

(22) Date of filing: 23 . 02 . 96

(30) Priority: 26 . 09 . 95 JP 07247509

(71) Applicant: SHARP CORP

(72) Inventor: USHIKUBO MAHO

ITO YASUYUKI

YOKOYAMA SEIICHI

MATSUNAGA HIRONORI

KOBA MASAYOSHI

(54) FERROELECTRIC THIN FILM ELEMENT,
FABRICATION THEREOF, AND
FERROELECTRIC MEMORY ELEMENT

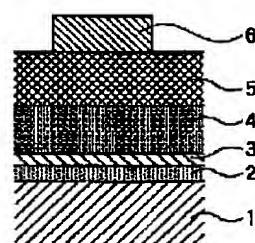
crystallize the ferroelectric thin film perfectly.

COPYRIGHT: (C)1997,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To crystallize a ferroelectric thin film by coating a substrate with a precursor solution containing the constitutive elements of ferroelectric thin film material, drying the solution to form a thin film, subjecting the thin film to heat treatment to form a ferroelectric thin film, and then heating ferroelectric thin film in an atmosphere of specified gas pressure.

SOLUTION: A film is formed using a precursor solution containing Ta, Bi and Sr. More specifically, a substrate having a lower platinum electrode 4 is spin coated with a precursor solution. The substrate is then mounted on a heated hot plate and baked in the atmosphere. The filming step is repeated to form a ferroelectric thin film 5. Subsequently, heat treatment is performed, as first baking, in an oxygen atmosphere of atmospheric pressure by RTA and a Pt upper electrode 6 is deposited using a mask by EB deposition. After forming the upper electrode, second baking is performed by RTA method in an oxygen atmosphere of 10Torr which is lower than 1atm. Second baking is performed in order to



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-153597

(43)公開日 平成9年(1997)6月10日

(51)Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 27/108 21/8242			H 01 L 27/10	6 5 1
H 01 G 4/33			37/02	4 5 1
H 01 L 27/10 21/8247	4 5 1		21/316	G
			H 01 G 4/06	1 0 2

審査請求 未請求 請求項の数 8 OL (全 14 頁) 最終頁に続く

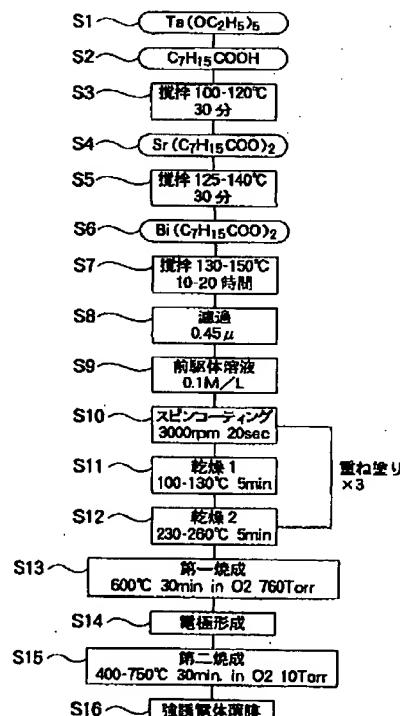
(21)出願番号	特願平8-36041	(71)出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22)出願日	平成8年(1996)2月23日	(72)発明者	牛久保 真帆 大阪府大阪市阿倍野区長池町22番22号 シ ヤープ株式会社内
(31)優先権主張番号	特願平7-247509	(72)発明者	伊藤 康幸 大阪府大阪市阿倍野区長池町22番22号 シ ヤープ株式会社内
(32)優先日	平7(1995)9月26日	(72)発明者	横山 誠一 大阪府大阪市阿倍野区長池町22番22号 シ ヤープ株式会社内
(33)優先権主張国	日本 (JP)	(74)代理人	弁理士 梅田 勝
			最終頁に続く

(54)【発明の名称】 強誘電体薄膜素子の製造方法、強誘電体薄膜素子、及び強誘電体メモリ素子

(57)【要約】

【課題】 本発明は、成膜温度の低温化及び短時間化、リーク電流の低減、製造プロセスの簡略化が可能なBi系層状構造化合物から成る強誘電体薄膜素子の製造方法、強誘電体薄膜素子、及び強誘電体メモリ素子を提供することを目的としている。

【解決手段】 基板上に下部電極層と強誘電体薄膜と上部電極層とを順番に備える強誘電体薄膜素子の製造方法において、基板上に形成された前記下部電極層の表面に金属を含む前駆体溶液を塗布する工程(S10)と、塗布された前駆体溶液を加熱して溶媒のみを除去して乾燥する工程(S11)と、乾燥された前駆体を加熱して強誘電体薄膜を形成する第1の熱処理工程(S13)と、強誘電体薄膜上に上部電極層を形成した後に、1気圧より低いガス圧力雰囲気中にて加熱する第2の熱処理工程(S15)とを含む。



【特許請求の範囲】

【請求項1】 基板上に下部電極層と強誘電体薄膜と上部電極層とを順番に備える強誘電体薄膜素子の製造方法において、
基板上に形成された前記下部電極層の表面に金属を含む前駆体溶液を塗布する工程と、
塗布された前駆体溶液を加熱して溶媒のみを除去して乾燥する工程と、
乾燥された前駆体を加熱して強誘電体薄膜を形成する第1の熱処理工程と、
該強誘電体薄膜上に上部電極層を形成した後に、1気圧より低いガス圧力雰囲気中にて加熱する第2の熱処理工程とを含むことを特徴とする強誘電体薄膜素子の製造方法。

【請求項2】 前記第2の熱処理工程の雰囲気のガス圧力が、20 Torr以下であることを特徴とする請求項1に記載の強誘電体薄膜素子の製造方法。

【請求項3】 前記第2の熱処理工程の雰囲気のガス圧力が、2 Torr以上20 Torr以下であることを特徴とする請求項2に記載の強誘電体薄膜素子の製造方法。

【請求項4】 前記第2の熱処理工程の加熱温度が、500°C以上650°C以下であることを特徴とする請求項1から3のいずれか1項に記載の強誘電体薄膜素子の製造方法。

【請求項5】 前記前駆体溶液が、金属のカルボン酸塩及びアルコキシドを成分とする特徴とする請求項1から4のいずれか1項に記載の強誘電体薄膜素子の製造方法。

【請求項6】 基板上に下部電極層と強誘電体薄膜と上部電極層とを順番に備えた強誘電体薄膜素子において、前記強誘電体薄膜が、最大結晶粒径が700Å以下のビスマス層状構造化合物から成ることを特徴とする強誘電体薄膜素子。

【請求項7】 一つのスイッチ用トランジスタと一つの強誘電体キャパシタとを備えたメモリセルを含む半導体メモリ素子において、
前記スイッチ用トランジスタが形成された半導体基板上を覆う第1の絶縁体薄膜と、該第1の絶縁体薄膜を貫き内部を導電物質で充填されたコンタクトプラグと、該コンタクトプラグ上に形成された下部電極と、該下部電極上に形成された強誘電体薄膜と、該強誘電体薄膜上に形成された上部電極とを備えたスタッカ型構造を有し、前記強誘電体薄膜がビスマス層状構造化合物から成ることを特徴とする強誘電体メモリ素子。

【請求項8】 前記強誘電体薄膜を成すビスマス層状構造化合物が、Sr及びBiを含み、Ta又はTiの少なくともいずれか一方を含む化合物であることを特徴とする請求項7に記載の強誘電体メモリ素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリ素子、焦電センサ素子、圧電素子等に用いられる強誘電体薄膜素子の製造方法、強誘電体薄膜素子、強誘電体メモリ素子に関するものである。

【0002】

【従来の技術】強誘電体薄膜は、自発分極、高誘電率、電気光学効果、圧電効果、及び焦電効果等の多くの機能をもつて、広範なデバイス開発に応用されている。例

10 えば、その焦電性を利用して赤外線リニアレイセンサに、また、その圧電性を利用して超音波センサに、その電気光学効果を利用して導波路型光変調器に、その高誘電性を利用してDRAMやMMIC用キャパシタにと、様々な方面で用いられている。

【0003】

それらの広範な応用デバイス開発の中でも、近年の薄膜形成技術の進展に伴って、半導体メモリ技術との組み合わせにより、高密度かつ高速に動作する強誘電体不揮発性メモリ(FRAM)の開発が盛んである。強誘電体薄膜を用いた不揮発性メモリは、その高

20 速書き込み／読み出し、低電圧動作、及び書き込み／読み出し耐性の高さ等の特性から、従来の不揮発性メモリの置き換えだけでなく、SRAMやDRAMに対する置き換えも可能なメモリとして、実用化に向けた研究開発が盛んに行われている。

【0004】

このようなデバイス開発には、残留分極(P_r)が大きくかつ抗電場(E_c)が小さく、低リーク電流であり、分極反転の繰り返し耐性の大きな材料が必要である。さらには、動作電圧の低減と半導体微細加工プロセスに適合するために膜厚200nm以下の薄膜で上記の特性を実現することが望ましい。

【0005】

そして、これらの用途に用いられる強誘電体材料としては、PZT(チタン酸ジルコニア鉛、Pb(Ti, Zr)O₃)に代表されるペロブスカイト構造の酸化物材料が主流であった。ところが、PZTのように鉛をその構成元素として含む材料は、鉛やその酸化物の蒸気圧が高いため、成膜時に鉛が蒸発してしまい膜中に欠陥を発生させたり、ひどい場合にはピンホールを形成する。この結果、リーク電流が増大したり、更に分極反転を繰り返すと、自発分極の大きさが減少する疲労現象が起こるなどの欠点があった。特に、強誘電体不揮発性メモリによるFRAMに対する置き換えを考えると、疲労現象に関しては、10¹⁵回の分極反転後も特性の変化がないことを保証しなければならないため、疲労のない強誘電体薄膜の開発が望まれていた。

【0006】

これに対し、近年、ビスマス層状構造化合物材料の研究開発が行われている。ビスマス層状構造化合物材料は、1959年に、Smolenskiiらによって発見され(G. A. Smolenskii, V. A. Isupov and A. I. Agranovska ya, Soviet Phys. Solid State, 1, 149(1959))、その後、Subbaraoにより詳細な検討がなされた(E. C. Subbarao,

J. Phys. Chem. Solids, 23, 665(1962)。最近、Carlos A. Paz de Araujoらは、このビスマス層状構造化合物薄膜が強誘電体及び高誘電体集積回路への応用に適していることを発見し、特に10¹²回以上の分極反転後も特性に変化が見られないという優れた疲労特性を報告している (International Application No. PCT/US92/10542)。

【0007】また、強誘電体薄膜の製造方法には、真空蒸着法、スパッタリング法、レーザーアブレーション法等の物理的方法や、有機金属化合物を出発原料とし、これらを熱分解酸化して酸化物強誘電体を得るゾルゲル法又はMOD (Metal Organic Decomposition) 法、MOCVD (Metal Organic Chemical Vapor Deposition) 法等の化学的方法が用いられている。

【0008】上記成膜法の中で、ゾルゲル法又はMOD法は、原子レベルの均質な混合が可能であること、組成制御が容易で再現性に優れること、特別な真空装置が必要なく常圧で大面積の成膜が可能であること、工業的に低コストである等の利点から広く利用されている。

【0009】特に、上記ビスマス層状構造化合物薄膜の成膜方法としては、MOD法が用いられており、従来のMOD法の成膜プロセスでは、下記のような工程で強誘電体薄膜又は誘電体薄膜が製造される (International Application No. PCT/US92/10542, PCT/US93/10021)。

【0010】1) 複合アルキシド等からなる前駆体溶液をスピンドル法等で基板上に塗布成膜する工程。

【0011】2) 溶媒や1)の工程において反応生成したアルコールや残留水分を膜中より離脱させるために、150℃で30秒から数分間、得られた膜を加熱乾燥する工程。

【0012】3) 膜中の有機物成分を熱分解除去するためにRTA (Rapid Thermal Annealing) 法を用いて酸素雰囲気中で725℃で30秒間、加熱処理する工程。

【0013】4) 膜を結晶化するために、酸素雰囲気中で800℃で1時間、加熱処理する工程。

【0014】5) 上部電極を形成した後、酸素雰囲気中で800℃で30分間、加熱処理する工程。

【0015】なお、所望の膜厚を得るために、1)から3)の工程を繰り返し、最後に4)、5)の工程を行う。

【0016】以上のようにして、強誘電体薄膜又は誘電体薄膜を製造することができる。

【0017】

【発明が解決しようとする課題】しかしながら、上記のような従来のMOD法による強誘電体薄膜の製造方法において、上部電極を形成する前に結晶化を行う工程(工程4))による強誘電体薄膜は、650℃以下の焼成温度ではほとんど結晶化せず、高い残留分極値を得るために、800℃と極めて高温で、1時間もの長時間加熱処理する必要があった (International Application No. PCT/US93/10021)。このため、粒子径が2000Å程

【0018】また、従来のMOD法においては、一回のスピンドルで得られる膜厚を約1000Å以上になると、クラックが発生するなどの問題があるため、一回のスピンドルで得られる膜厚を1000Å以下になるよう前駆体溶液の濃度を調整していた。従って、約200Åの膜厚を得るためにには数回の塗布工程が必要となり、かつ、スピンドルで一回塗布する毎にRTAでの熱処理が必要となり、素子の製造プロセス上極めて非生産的となっていた。

【0019】一方、強誘電体不揮発性メモリを高集積化するためには、選択トランジスタと強誘電体キャバシタをコンタクトプラグで接続し、コンタクトプラグ上に強誘電体キャバシタを形成したスタッカ型構造を採用する必要がある (S. Onishi et al., IEEE IEDM Technical Digest, p. 843(1994))。ところが、強誘電体薄膜を形成するための酸素雰囲気中の高温で長時間の加熱処理は、強誘電体薄膜と電極との界面における相互拡散や、ポリシリコン等のコンタクトプラグ材料の酸化、コンタクトプラグ材料と下部電極材料や強誘電体薄膜との相互拡散等によるコンタクト不良や特性劣化を引き起こすなどの問題がある。このため、高温に長時間耐える電極材料やバリアメタル材料を厚く形成する必要があるが、これによりキャバシタ部分の段差が大きくなり、素子を高集積化する場合の障害となっている。従って、キャバシタ全体の膜厚を薄くして高集積化を図るために、強誘電体薄膜は、従来よりも少しでも低温の熱処理で良好な特性が得られることが望ましい。その目安として、強誘電体薄膜の熱処理温度は、650℃以下である必要がある。

【0020】本発明は、上記課題を解決するためになされたものであって、従来の強誘電体薄膜素子の製造方法と比べて成膜温度が低温化でき、製造プロセスが簡略化される強誘電体薄膜素子の製造方法、該製造方法によつて製造された緻密でリーク電流が低減された強誘電体薄膜素子、及びスタッカ型構造を有する強誘電体メモリ素子を提供することを目的としている。

【0021】

【課題を解決するための手段】上記課題を解決するため、本発明では、基板上に下部電極層と強誘電体薄膜と上部電極層とを順番に備える強誘電体薄膜素子の製造方法において、基板上に形成された前記下部電極層の表面に金属を含む前駆体溶液を塗布する工程と、塗布された前駆体溶液を加熱して溶媒のみを除去して乾燥する工程と、乾燥された前駆体を加熱して強誘電体薄膜を形成する第1の熱処理工程と、その強誘電体薄膜上に上部電極層を形成した後に、1気圧より低いガス圧力雰囲気中にて加熱する第2の熱処理工程とを含んだ強誘電体薄膜素子の製造方法としている。

【0022】さらに、本発明では、上記の強誘電体薄膜素子の製造方法において、第2の熱処理工程の雰囲気のガス圧力を、20 Torr以下としている。

【0023】さらに、本発明では、上記の強誘電体薄膜素子の製造方法において、第2の熱処理工程の雰囲気のガス圧力を、2 Torr以上20 Torr以下としている。

【0024】さらに、本発明では、上記の強誘電体薄膜素子の製造方法において、第2の熱処理工程の加熱温度を、500°C以上650°C以下としている。

【0025】さらに、本発明では、上記の強誘電体薄膜素子の製造方法において、前駆体溶液として、金属のカルボン酸塩及びアルコキシドを成分とするものを用いている。

【0026】また、本発明では、基板上に下部電極層と強誘電体薄膜と上部電極層とを順番に備えた強誘電体薄膜素子において、強誘電体薄膜が、最大結晶粒径が70Å以下のビスマス層状構造化合物から成ることとしている。

【0027】また、一つのスイッチ用トランジスタと一つの強誘電体キャパシタとを備えたメモリセルを含む半導体メモリ素子において、スイッチ用トランジスタが形成された半導体基板上を覆う第1の絶縁体薄膜と、その第1の絶縁体薄膜を貫き内部を導電物質で充填されたコンタクトプラグと、そのコンタクトプラグ上に形成された下部電極と、その下部電極上に形成された強誘電体薄膜と、その強誘電体薄膜上に形成された上部電極とを備えたスタッカ型構造を有し、強誘電体薄膜がビスマス層状構造化合物から成ることとしている。

【0028】さらに、本発明では、上記の強誘電体メモリ素子において、強誘電体薄膜を成すビスマス層状構造化合物を、Sr及びBiを含み、Ta又はTiの少なくともいづれか一方を含む化合物としている。

【0029】上記のように、本発明の強誘電体薄膜素子の製造方法では、ゾルゲル法又はMOD法による強誘電体薄膜素子の製造方法において、強誘電体薄膜材料の成分元素から成る前駆体溶液を基板に塗布して乾燥した後、従来の膜中の有機物成分を熱分解除去するためのRTA加熱処理工程を省略して、塗布乾燥工程を数回繰り返して所定の膜厚とし、その後、第1の熱処理工程により、有機物を熱分解して除去すると同時に結晶化を行う。そして、その上に上部電極薄膜を形成した後の第2の熱処理工程として、1気圧より低いガス圧力雰囲気中にて十分な時間加熱を行うことによって強誘電体薄膜を結晶化させている。これにより、本発明によれば、従来の製造方法と比べて成膜温度の低温化が可能となると共に、その製造方法によって製造された膜は、粒子径の小さい緻密な膜となるので、リーク電流が小さく、絶縁耐性の高いなど、非常に優れた強誘電体薄膜を得ることができる。

【0030】

【発明の実施の形態】以下、本発明による第1の実施の形態について、図面を参照して説明する。図1は、本発明の強誘電体薄膜の製造方法による第1の実施の形態による強誘電体薄膜素子の構造を示す断面図である。図1に示すように、この強誘電体薄膜素子は、n型シリコン基板1の表面に膜厚200nmのシリコン熱酸化膜2を形成し、その上に、膜厚30nmのTa膜3、膜厚200nmのPt膜4、膜厚200nmの強誘電体薄膜であるSrBi₂Ta₂O₉薄膜(以下、SBT薄膜と称す)

5、膜厚100nmのPt上部電極6が、それぞれ順次形成されている。なお、ここで、シリコン熱酸化膜2は、層間絶縁膜として設けたものであり、これに限定されるものではない。また、Pt膜4は、この上に酸化物膜を形成するので、酸化されにくい電極材料として選択されたものであって、この他にRuO₂やIrO₂などの導電性酸化物膜などを用いても良い。そして、Ta膜3は、シリコン熱酸化膜2とPt膜4の密着性を考慮して用いており、このほかに、Ti膜やTiN膜を用いても良い。

【0031】次に、図1に示す強誘電体薄膜素子の製造方法について説明する。

【0032】まず、n型シリコン基板1の表面に、膜厚が200nmのシリコン熱酸化膜2を形成する。なお、本実施の形態では、シリコン熱酸化膜の形成方法として、シリコン基板1表面を1000°Cで熱酸化することによって形成する。そして、このシリコン熱酸化膜2上に、膜厚が30nmのTa膜3をスパッタ法により形成し、さらにこの上に、厚さが200nmのPt膜4を形成し、これを強誘電体薄膜形成基板として用いる。

【0033】以下、この基板上にSBT薄膜5を形成するために用いる前駆体溶液の合成方法、及びこの前駆体溶液を用いて基板上に強誘電体薄膜としてSBT薄膜を形成する工程を図2の工程図を参照しながら説明する。

【0034】前駆体溶液合成の出発原料として、タンタルエトキシド(Ta(O₂C₂H₅)₅)、ビスマス-2-エチルヘキサネート(Bi(C₂H₁₅COO)₂)、及びストロンチウム-2-エチルヘキサネート(Sr(C₂H₁₅COO)₂)を使用する。タンタルエトキシドを秤量し(ステップS1)、2-エチルヘキサネート中に溶解させ(ステップS2)、反応を促進させるため、100°Cから最高温度120°Cまで加熱しながら攪拌し、30分間反応させる(ステップS3)。その後、12°Cで反応によって生成したエタノールと水分を除去する。その溶液に20ml～30mlのキシレンに溶解させたストロンチウム-2-エチルヘキサネートをSr/Ta=1/2になるように適量加え(ステップS4)、125°Cから最高温度140°Cで30分間加熱攪拌する(ステップS5)。その後、この溶液に10mlのキシレンに溶解させたビスマス-2-エタノールをSr/Bi/T

$a = 1/2, 4/2$ になるように適量加え（ステップ S 6）、 130°C から最高温度 150°C で 10 時間加熱攪拌する（ステップ S 7）。

【0035】次に、この溶液から低分子量のアルコールと水と溶媒として使用したキシレンとを除去するため、 $130^{\circ}\text{C} \sim 150^{\circ}\text{C}$ の温度で 5 時間蒸留する。この溶液からダストを除去するために、 $0.45 \mu\text{m}$ 径のフィルタで濾過する（ステップ S 8）。その後、溶液の $\text{SrBi}_{2.4}\text{Ta}_{2.0}\text{O}_{9.6}$ の濃度を 0.1 mol/l に調整し、これを前駆体溶液とする（ステップ S 9）。なお、これらの原料は上記のものに限定されるものではなく、溶媒は上記出発原料が十分溶解するものであればよい。

【0036】次いで、上記の前駆体溶液を使用し、以下のような工程で成膜を行う。前述した下部白金電極 4 を持つ基板上に、上記前駆体溶液を滴下し、20 秒間 3000 rpm でスピン塗布する（ステップ S 10）。その後、基板を 120°C に加熱したホットプレートに載せ、5 分間大気中でベークし乾燥させる（ステップ S 11）。その際、乾燥を均一に進ませるために温度範囲を $100^{\circ}\text{C} \sim 130^{\circ}\text{C}$ とすることが好ましく、最適な乾燥温度は 120°C 程度である。これは、この温度範囲より高い温度、例えば 150°C で乾燥を行った場合、後述の積層する段階で膜応力によりクラックが発生するので、それを防止するためである。

【0037】その後、完全に溶媒を揮発させるため、ウェハを 250°C に加熱したホットプレートに載せ、5 分間大気中でベークし焼成する（ステップ S 12）。この温度は溶媒の沸点以上であって、工程時間の短縮のため $250^{\circ}\text{C} \sim 300^{\circ}\text{C}$ 程度の温度で行うことが好ましい。この成膜工程を 3 回繰り返し、膜厚 200 nm の強誘電体薄膜を成膜する。

【0038】その後、第 1 焼成として RTA 法を用いて、大気圧酸素雰囲気中 600°C で 30 分間の熱処理を行い（ステップ S 13）、EB (electron beam) 蒸着法により、膜厚 200 nm の Pt 上部電極 6 をマスク蒸着した（ステップ S 14）。この第 1 焼成においては、塗布乾燥された強誘電体薄膜中に含まれる有機物の熱分解除去が行われる。そして、有機物の熱分解除去と同時に、強誘電体薄膜の結晶化の一部が行われ、一種の核形成工程として作用するものと考えられる。なお、本実施の形態では、RTA 法を用いて大気圧酸素雰囲気中で熱処理を行ったが、RTA 法以外に通常の熱処理炉を用いても良いし、雰囲気ガスとしては酸素と窒素、アルゴン等の不活性ガスとの混合ガスを用いても良い。また、本実施の形態では、強誘電体特性評価用の電極サイズとして、Pt 上部電極を $100 \mu\text{m} \phi$ の電極としたが、本発明がこれらの電極形状や電極サイズに限定されるものではない。

【0039】次に、上部電極形成後、第 2 焼成（本焼

10

成）として、RTA 法を用い、 10 Torr 酸素雰囲気中で $400^{\circ}\text{C} \sim 750^{\circ}\text{C}$ で、30 分の焼成を行う（ステップ S 15）。この第 2 焼成は、強誘電体薄膜の完全な結晶化を行うためのものである。なお、本実施の形態では RTA 法を用いて 10 Torr 酸素雰囲気中で焼成を行ったが、RTA 法以外に 1 気圧より低いガス圧力雰囲気中で熱処理ができるものであれば通常の熱処理炉を用いても良いし、焼成雰囲気としては、酸素以外に窒素又はアルゴン等の不活性ガスでも良く、また、窒素やアルゴン等の不活性ガス及び酸素のうちの 2 種類以上混合させた混合ガスであっても良い。以上の工程により、強誘電体薄膜の作製を完了する（ステップ S 16）。

10

【0040】図 3、図 4、及び図 5 は、上述の製造工程により得られた膜の第 2 焼成温度に対する強誘電特性を示すグラフである。強誘電特性の測定は、図 1 に示すタイプのキャパシタに対して、公知のソーヤタワー回路を用いて、印加電圧を 3 V として行ったものである。

20

【0041】図 3 は、膜の残留分極 P_r の値を示すグラフである。第 2 焼成温度の低下に伴い P_r も減少するが、第 2 焼成温度が 600°C でも $4 \mu\text{C}/\text{cm}^2$ 以上の値が得られている。図 4 は、この製造方法で作製した膜の抗電界 E_c の値を示すグラフであり、 500°C 以上では第 2 焼成温度に因らずほぼ一定の値を示している。図 5 に示す蓄積電荷量 δQ は、図 3 に示した P_r と同じように、第 2 焼成温度に依存して増加し、第 2 焼成温度が 500°C 以上では良好な特性を示している。

20

【0042】図 6、図 7、及び図 8 は、第 1 焼成温度 600°C で大気圧酸素雰囲気中で 30 分間アニールを行い、第 2 焼成を 10 Torr 酸素雰囲気中 600°C で 30 分のアニールを行った場合の強誘電体特性の印加電圧依存性を示すグラフである。これらのグラフは、図 6、図 7、及び図 8 がそれぞれ、 P_r 、 E_c 、及び δQ の値を示したものであり、これらから、印加電圧の増加に伴い、 P_r 、 E_c 、及び δQ が印加電圧 3 V 程度から飽和し始めていることを示している。これは、 3 V 以上の印加電圧において、多少の電圧の変化があっても、常に一定の特性が得られることを示しており良好な強誘電体特性であるといえる。

30

40

【0043】図 9 は、第 1 焼成温度 600°C で大気圧酸素雰囲気中で 30 分間アニールを行い、第 2 焼成を 10 Torr 酸素雰囲気中 600°C で 30 分のアニールを行ったサンプルに、電圧 3 V 、周波数 1 kHz のパルスを印加して、繰り返し分極反転を行った場合の、繰り返し分極反転回数に対する蓄積電荷量 δQ の変化をプロットしたグラフである。 2×10^{11} サイクルの分極反転後も蓄積電荷量に全く変化は見られず、不揮発性メモリに応用するのに良好な特性を示す。

50

【0044】図 10 は、 3 V 印加時の第 2 焼成温度に対するリーク電流の変化を示すグラフである。 550°C 以上では第 2 焼成温度に因らず $6 \sim 9 \times 10^{-8} \text{ A}/\text{cm}^2$

の値となっており、500°C以下ではリーク電流が大きいが、従来第2焼成温度の低温化の際に問題となつたリーク電流の増加は観られなかつた。

【0045】図11は、第1焼成温度600°Cで大気圧酸素雰囲気中で30分間アニールを行い、第2焼成を10 Torr酸素雰囲気中600°Cで30分のアニールを行つた後の膜の表面SEM写真であり、700Å以下の球状の結晶粒から成る緻密な膜となつてゐることがわかる。また、第2焼成温度が650°Cのものでも、第2焼成温度が600°Cのものと同様、700Å以下の球状の結晶粒から成る緻密な膜となつた。一方、第1焼成温度600°Cで大気圧酸素雰囲気中で30分間アニールを行い、第2焼成を10 Torrの酸素雰囲気中700°Cで30分のアニールを行つた場合のSBT膜は、紐状で、500~5000Åの結晶粒が存在し、第2焼成温度が750°Cのものでは第2焼成温度が700°Cのものよりも更に大きな結晶粒が存在した。これらのことから、第2焼成温度の上昇に伴いSBT膜を構成する結晶粒子の最大結晶粒径が増大し、第2焼成温度が650°C以下において700Å以下の球状の結晶粒から成る緻密な膜が形成できるという結果が得られた。

【0046】X線回折の結果、500°C以上の第2焼成温度では、SrBi₂Ta₂O₉の多結晶となつてゐたが、450°C以下では明確な結晶は確認できなかつた。

【0047】上記第1の実施の形態の比較例として、従来の製造方法を用いてSBT薄膜を形成し、図1と同様の構造を有する強誘電体薄膜素子を、その電気特性の評価のため製造した。

【0048】図12は、図1に示す強誘電体薄膜素子中のSBT薄膜5を形成するために用いる前駆体溶液の合成方法、及びこの前駆体溶液を用いて基板上に強誘電体薄膜としてSBT薄膜を形成する従来の工程を示す図である。図2に示す第1の実施の形態の工程と同じ工程には同一の番号を付してある。

【0049】本比較例における強誘電体薄膜素子の製造において、前述の第1の実施の形態と異なる点は、SBT薄膜の形成時の第2焼成の工程のみである。すなわち、前述の第1の実施の形態と同様にして第1焼成後10μmφのPt上部電極6をマスク蒸着したSBT膜に対して、比較例のものでは、第2焼成として、RTA法を用い、大気圧酸素雰囲気中で600~750°C30分の焼成を行つた(ステップS20)。

【0050】図13、図14、及び図15は、この比較例の工程で得られた膜の第2焼成温度に対する強誘電特性を示すグラフである。強誘電特性の測定は、上記第1の実施の形態と同様に、図1に示すタイプのキャパシタに対して、公知のソーヤタワー回路を用いて、印加電圧を3Vとして行ったものである。

【0051】図13は、膜の残留分極Prの値を示すグラフである。第2焼成温度が低下すると、730°Cを境

にPr値は急激に減少し、700°C以下では2μC/cm²以下と非常に小さい値となり、600°Cではほとんど強誘電性を示さなかつた。これを、前述の第1の実施の形態と比較すると、第1の実施の形態では4μC/cm²以上のPr値を得るのに第2焼成温度は600°Cで可能であったが(図3参照)、比較例では第2焼成温度730°C以上でないと4μC/cm²以上のPr値を得られないことがわかる。このことから、同等のPr値を得るのに、第1の実施の形態の方が比較例のものよりも、第2焼成温度の低温化を実現できていることが明らかである。

【0052】図14は、抗電界Ecの値を示しており、650°C以上では第2焼成温度に因らずほぼ一定の値を示している。図15に示す蓄積電荷量δQは、図13に示したPrと同じように、第2焼成温度730°Cを境に、それ以下の温度になると値が急激に減少している。

【0053】図16は、3V印加時の第2焼成温度に対するリーク電流の変化を示すグラフである。第2焼成温度が50°C下がる毎に1桁ずつリーク電流は増加し、600°Cでは低下傾向になるが、600°Cのものは強誘電性をほとんど示さないものである。

【0054】図17は、第1焼成温度600°Cで大気圧酸素雰囲気中で30分間アニールを行い、第2焼成を大気圧酸素雰囲気中700°Cで30分のアニールを行つた後の膜の表面SEM写真である。この場合のSBT膜は、紐状で、1500~9000Åの結晶粒の存在が存在する。

【0055】ここで、結晶粒の大きさについて、前述の第1の実施の形態のものと本比較例のものと比較する。前述のとおり、第1焼成温度600°Cで大気圧酸素雰囲気中で30分間アニールを行い、第2焼成を10 Torrの酸素雰囲気中700°Cで30分のアニールを行つた場合のSBT膜では結晶粒が500~5000Åであつたが、本比較例では上記のとおり1500~9000Åであり、第1の実施の形態のもののほうが、比較例のものよりも小さな結晶粒となつてゐる。このことから、強誘電性を示す膜において、第2焼成の雰囲気ガス圧力が異なるだけの条件で形成したこれらのSBT膜の比較によれば、第2焼成を1気圧より低いガス圧力雰囲気で行うことにより、膜の緻密化が可能なことが明らかである。

【0056】次いで、残留分極Pr値がほぼ同等となる強誘電体薄膜の結晶粒の大きさについて、前述の第1の実施の形態のものと本比較例のものと比較する。前述の第1の実施の形態において、第1焼成温度600°Cで大気圧酸素雰囲気中で30分間アニールを行い、第2焼成を10 Torrの酸素雰囲気中600°Cで30分のアニールを行つた場合のSBT膜では、図3に示したようにPr値が約4.2μC/cm²であり、結晶粒が700Å以下であった。一方、比較例において、Pr値がこれ

とほぼ同等となるものとしては、第1焼成温度600°Cで大気圧酸素雰囲気中で30分間アニールを行い、第2焼成を大気圧酸素雰囲気中730°Cで30分のアニールを行ったものがPr値=約4.3μC/cm²であり

(図13参照)、このSBT膜表面を観察した結果その結晶粒の大きさは1500~9000Åであった。これらを比較すると、第1の実施の形態のものほどうが、比較例のものよりも小さな結晶粒となっている。このことから、ほぼ同等のPr値が得られるSBT膜の比較においても、第2焼成を1気圧より低いガス圧力雰囲気で行うことにより、膜の緻密化が可能なことが明らかである。

【0057】X線回折の結果、比較例において、650°C以上の第2焼成温度では、SrBi₂Ta₂O₉の多結晶となっていたが、600°C以下では明確な結晶化は確認できなかった。

【0058】以上のように、従来の製造方法では、第2焼成温度を下げるに、Pr、δQ値の急激な減少とリーク電流の増大が観られ、強誘電体メモリとして使用するには730°C以上の焼成が必要であったが、本発明による第1の実施の形態によれば、第2焼成を1気圧より低いガス圧力雰囲気中で行うことにより第2焼成温度の低下に伴うPr、δQ値の急激な減少を抑えると共にリーク電流の増加も抑制できる。それにより、最高焼成温度650°C以下で強誘電体メモリとして十分な特性が得られ、FRAMの高集積化に必要なスタック構造を採用することが可能となる。また、本実施の形態の製造方法は、結晶粒子の粗大化を抑制して、膜の緻密化、表面平坦化が実現でき、リーク電流の低減が可能となると共に、微細加工にも適しており、高密度デバイスの製造に適している。

【0059】以下、本発明による第2の実施の形態について、図面を参考しながら説明する。図18は、本発明による第2の実施の形態である強誘電体メモリセルの要部断面図である。図18に示すように、本実施の形態の強誘電体メモリセルは、第1導電型シリコン基板54の上に、素子間分離酸化膜39と、ゲート酸化膜40と、第2の導電型不純物拡散領域41と、ポリシリコンワード線42と、層間絶縁膜43、44、51、52と、メモリ部コンタクトプラグ45と、TiNバリアメタル層46と、Pt下部電極47と、強誘電体薄膜48と、Ptプレート線49と、Ta₂O₅バリア絶縁膜50と、A1ビット線53とを備えている。

【0060】次に、この強誘電体メモリセルの製造方法について、図18に示した構造の強誘電体メモリの製造方法の例を示す説明図である図19を用いて説明する。

【0061】図19(a)に示すように、スイッチ用トランジスタを公知のMOSFET形成工程により形成し、層間絶縁膜43で覆った後、ビット線が基板の不純物拡散領域41と接触する部分のみ公知のホトリソグラ

フィ法とドライエッティング法を用いてコンタクトホールを穿ち、不純物拡散したポリシリコンを埋め込んだ後、公知のCMP(Chemical Mechanical Polishing)法により、層間絶縁膜43とポリシリコンプラグ45の表面を平坦化する。

【0062】次に、図19(b)に示すように、TiNバリアメタル層46を公知のスパッタ法により膜厚2000Å堆積した後、Pt薄膜47を公知のスパッタ法により膜厚1000Å堆積して下部電極とする。この下部

10 電極上に、強誘電体薄膜48としてSrBi₂Ta₂O₉薄膜(以下、SBT薄膜と称す)を形成するのであるが、SBT薄膜を形成するために用いる前駆体溶液の合成方法、及びこの前駆体溶液を用いてSBT薄膜を形成する工程のうち第1焼成までの工程は、前述の第1の実施の形態で説明した図2のステップS1からステップS13までの工程と同じであるので説明を省略する。

【0063】第1焼成後のSBT膜48とPt下部電極47とTiNバリアメタル層46を公知のホトリソグラフィ法とドライエッティング法を用いて、3.0μm角の大きさに加工して、図19(b)に示すような形状とする。ドライエッティングには、ECRエッチャーユーを用い、使用したガス種は、SBT膜がArとCl₂とCF₄との混合ガス、Pt下部電極がC₂F₆とCHF₃とCl₂との混合ガス、TiNバリアメタルがCl₂ガスである。この時、SBT膜及びPt下部電極は非常に緻密で平坦であるので、精密な微細加工が可能であり、CDロスは0.1μm以下に抑えることができる。

20 【0064】次に、図19(c)に示すように、膜厚300ÅのTa₂O₅バリア絶縁膜50を公知のスパッタ法を用いて堆積し、続いて、層間絶縁膜51として膜厚1500Åのシリコン酸化膜を公知のCVD法にて堆積し、その後、SBT膜上部に公知のホトリソグラフィ法とドライエッティング法を用いて、2.0μm角のコンタクトホールを形成する。

30 【0065】次に、図19(d)に示すように、膜厚1000ÅのPt上部電極を公知のスパッタ法により形成し、公知のホトリソグラフィ法とドライエッティング法を用いて加工してプレート線49とした後、第2の熱処理として、RTA法を用いて10Torrの酸素雰囲気中で600°Cで30分間の熱処理を行い、SBT膜を結晶化させた。結晶化させた後のSBT膜の断面はやはり非常に平滑で緻密であり、強誘電体キャバシタの形状を損ねることはなかった。また、SBT膜の膜厚を測定したところ、2000Åであった。

40 【0066】その後、公知の平坦化技術によりCVD法を用いて層間絶縁膜52を堆積して平坦化を行い、公知のホトリソグラフィ法とドライエッティング法を用いてスイッチ用トランジスタのもう一方の不純物拡散領域へのコンタクトホールを形成し、公知のA1配線技術を用いてビット線53を形成し、図18に示したような強誘電

体メモリセルが完成する。

【0067】このようにして製造した強誘電体メモリセルの電気特性を公知のソーヤタワー回路を用いて測定した。図20は、印加電圧を3Vで測定した時のヒステリシスループを示すグラフである。ヒステリシスループの形状は良好で、残留分極Prは $5\mu\text{C}/\text{cm}^2$ 、抗電界Ecは $30\text{kV}/\text{cm}$ (0.6V)の値が得られており、強誘電体キャパシタとして十分な動作が確認された。また、印加電圧3Vでリーク電流の値は、 $5 \times 10^{-8}\text{A}/\text{cm}^2$ であり、強誘電体キャパシタとして十分な特性が確認された。

【0068】図21は、電圧3V、周波数1MHzのパルスを印加して繰り返し分極反転を行った場合の、繰り返し分極反転回数に対する蓄積電荷量δQの変化をプロットしたグラフである。 2×10^{11} サイクルの分極反転後も蓄積電荷量に全く変化は見られず、不揮発性メモリとして良好な特性を示すものである。

【0069】以下、本発明による第3の実施の形態について、図面を参照しながら説明する。第3の実施の形態は、前述の第1の実施の形態と同様の強誘電体薄膜素子について、SBT膜を構成する結晶粒子の最大結晶粒径と蓄積電荷量との関係を説明するものである。

【0070】第3の実施の形態の強誘電体薄膜素子が前述の第1の実施の形態と異なる点は、図1のPt上部電極6の形状を $2\mu\text{m}$ 角の複数に分離したものとした点だけであり、それ以外は、SBT膜の形成工程は勿論、構造、製造方法等、第1の実施の形態と全く同じものである。

【0071】図22は、第3の実施の形態のキャパシタ構造の強誘電体薄膜素子について、 $2\mu\text{m}$ 角のPt上部電極の100箇所で測定したときのSBT膜の最大結晶粒径に対する蓄積電荷量δQのバラツキを示したものである。図22において、縦軸は蓄積電荷量δQの標準偏差(σ)を蓄積電荷量δQの平均値(δQ_{AVE})で割った値を示し、横軸はSBT膜の最大結晶粒径を示す。図22によれば、最大結晶粒径が 1000\AA より小さい膜では $\sigma/\delta Q_{\text{AVE}}$ が10%以下で蓄積電荷量δQのばらつきが非常に小さく、最大結晶粒径が 1000\AA 以上の膜では $\sigma/\delta Q_{\text{AVE}}$ 値が大きく安定な特性が得られにくいことを示している。したがって、前述の第1の実施の形態で説明したように、第2焼成温度が 650°C 以下の場合は、最大結晶粒径が 700\AA 以下の緻密な膜が得られるので、このとき強誘電特性のばらつきがほとんどない良好なものであることがわかる。このことから、誘電体キャパシタとして用いるための十分な蓄積電荷量を持ち、特性のばらつきの少ないSBT膜を得るために、第2焼成温度は $500^\circ\text{C} \sim 650^\circ\text{C}$ の範囲であることが好ましい。

【0072】以下、本発明による第4の実施の形態について、図面を参照しながら説明する。第4の実施の形態

では、前述の第1の実施の形態の図2のステップS15において、第2焼成(本焼成)として、RTA法を用い、 $1 \sim 760\text{Torr}$ 酸素雰囲気中にて、 600°C で30分の焼成を行ったものであり、それ以外は、素子構造、その他の製造工程等、第1の実施の形態と全く同様のものである。なお、ここで、第2焼成の雰囲気ガス圧力(第2焼成圧力)の範囲を $1 \sim 760\text{Torr}$ としたのは、 1Torr のときに形成されたSBT膜が強誘電性をほとんど示さなかったのでこれを下限とし、大気圧である 760Torr を上限としたものである。

【0073】図23、図24、及び図25は、上述の製造工程により得られた膜の第2焼成の雰囲気ガス圧力(第2焼成圧力)に対する強誘電特性を示すグラフである。強誘電特性の測定は、図1に示すタイプのキャパシタに対して、公知のソーヤタワー回路を用いて、印加電圧を3Vとして行ったものである。

【0074】図23は、第2焼成の雰囲気ガス圧力(第2焼成圧力)に対する膜の残留分極Prの値を示すグラフである。雰囲気ガス圧力が 760Torr ではほとんど強誘電性を示さなかったが、それからガス圧が低下するとPr値は増大し、圧力 5Torr 付近で極大となり、それよりさらに圧力が低下するとPt値は減少する。圧力 5Torr のときの残留分極Prは $5.5\mu\text{C}/\text{cm}^2$ 、抗電界Ecは $25\text{kV}/\text{cm}$ と、強誘電体キャパシタとして十分な特性が得られた。また、図23から、第2焼成の雰囲気ガス圧力(第2焼成圧力)が $2\text{Torr} \sim 20\text{Torr}$ の範囲であれば、Prは $2.5\mu\text{C}/\text{cm}^2$ 以上となり、十分な強誘電特性を示している。

【0075】図24は、第2焼成の雰囲気ガス圧力(第2焼成圧力)に対する膜の蓄積電荷量δQの値を示すグラフである。蓄積電荷量δQも残留分極Prと同様、雰囲気ガス圧力が 760Torr から低下すると値は増大し、圧力 5Torr 付近で極大となり、それよりさらに圧力が低下すると値は減少する。圧力 5Torr のときの蓄積電荷量δQは $10.2\mu\text{C}/\text{cm}^2$ という優れた値が得られた。また、一般的にMbitクラスの集積度の強誘電体メモリであれば、 $5\mu\text{C}/\text{cm}^2$ 以上の蓄積電荷量が必要である。したがって、図24から、第2焼成の雰囲気ガス圧力(第2焼成圧力)が $2\text{Torr} \sim 20\text{Torr}$ の範囲で蓄積電荷量δQが $5\mu\text{C}/\text{cm}^2$ 以上となっており、この範囲の圧力により製造されたものであればMbitクラスの集積度の強誘電体メモリとして必要な蓄積電荷量δQを得ることができる。さらに、この第2焼成圧力で製造されたSBT膜を観察した結果、緻密で表面平坦性も良好であることが確認できている。

【0076】図25は、第2焼成の雰囲気ガス圧力(第2焼成圧力)に対する膜の抗電界Ecの値を示すグラフである。第2焼成圧力が $2\text{Torr} \sim 200\text{Torr}$ の

範囲で、 25 kV/cm 近傍のほぼ一定になっている。
【0077】図26は、第2焼成の雰囲気ガス圧力（第2焼成圧力）に対し、3V印加した時のリーク電流の変化を示すグラフである。第2焼成圧力がいずれのガス圧においても、 $10^{-7}\sim 10^{-8}$ Aの良好な値が得られている。

【0078】図27は、第2焼成の雰囲気ガス圧力（第2焼成圧力）に対する膜のX線回折パターンを示す図である。図27において、a、b、c、d、e、fはそれぞれ第2焼成圧力が760Torr、200Torr、20Torr、10Torr、2Torr、1Torrのものである。また、図27において、横軸は回折角度 2θ （deg）であり、縦軸は回折強度（任意強度）であるが、縦軸ではそれぞれの第2焼成圧力について回折強度0となる位置を移動させているものである。そして、図27中、SBT(008)、SBT(105)、SBT(110)、及びSBT(200)はSrBi₂Ta₂O₉（SBT）による回折ピーク、 δ -TaO(001)及び δ -TaO(001)は δ 相TaOによる回折ピーク、Siはシリコン基板による回折ピーク、PtはPt下部電極による回折ピークを表すものである。

【0079】図27によれば、2Torr～200TorrのものではSBTの多結晶ピーク（SBT(008)、SBT(105)、SBT(110)、SBT(200)）が現れしており、1TorrのものではSBTピークはなくTaOのピーク（ δ -TaO(001)、 δ -TaO(002)）が現れている。そして、760Torrのものでは、SBTピークが非常にプロードになっており、アモルファスライクな膜になっているものと考えられる。このX線回折の観察結果によれば、第2焼成の雰囲気ガス圧力としては、2Torr～200Torrの範囲において、SBTピークを示す膜が得られたことがわかる。

【0080】図28は、第2焼成の雰囲気ガス圧力（第2焼成圧力）に対する膜組成比の変化を示すグラフである。図28は、SBT膜組成はEPMAによる測定した結果、Ta組成及びSr組成が第2焼成圧力に依存せずほぼ一定であったのに対して、Bi組成が第2焼成圧力に依存して変化したので、Bi/Ta及びSr/Taの組成比をグラフ化したものである。図28によれば、Bi/Taの値は、760Torrでは原料仕込量の組成比（Bi/Ta = 2.4/2 = 1.2）とほぼ同じであり、2Torrまでは第2焼成圧力の低下に伴い緩やかに減少し、5Torr近傍でストイキオメトリ（Bi/Ta = 1.0）となっている。

【0081】そして、第2焼成圧力が1Torrでは、Bi/Taの値が急激に小さくなっている。このようなBi組成の変化は、第2焼成時にBiの揮発又は電極への拡散が起ったことに起因するものと考えられ、このようなBi組成の大きなずれが第2焼成圧力1Torr

のもので強誘電性がほとんど得られなかつた原因であると考えられる。一方、前述のとおり、Ta組成及びSr組成が第2焼成圧力に依存せずほぼ一定であったので、Sr/Taもほぼ一定で、原料仕込量の組成比（Sr/Ta = 1/2 = 0.5）とほぼ同じであった。

【0082】なお、上述の第1～第4の実施の形態において、強誘電体薄膜の材料としてSBT（SrBi₂Ta₂O₉）を用いたが、材料はこれに限定されるものではなく、Sr及びBiを含み、Ta又はTiの少なくともいずれか一方を含む化合物であるSrBi₂(Ti, Nb)₂O₉、SrBi₂Ti₄O₁₅、SrBi₄(Ti, Zr)₄O₁₅が好ましく、またこれらの他に、SrBi₂Nb₂O₉、Bi₄Ti₃O₁₂、CaBi₂Ta₂O₉、BaBi₂Ta₂O₉、BaBi₂Nb₂O₉、PbBi₂Ta₂O₉などのゾルゲル法又はMOD法で成膜可能なビスマス層状構造化合物材料であれば、本発明は適用可能である。

【0083】

【発明の効果】本発明の強誘電体薄膜素子の製造方法によれば、ゾルゲル法又はMOD法による強誘電体薄膜素子の製造方法において、強誘電体薄膜材料の成分元素から成る前駆体溶液を塗布して乾燥した後、膜中の有機物成分を熱分解除去するための加熱処理を省略して、塗布乾燥工程を数回繰り返して所定の膜厚とし、その後、第1の熱処理工程により強誘電体薄膜を形成した後、第2の熱処理工程として、1気圧より低いガス圧力雰囲気中にて加熱することにより、強誘電体薄膜を結晶化させており、従来の方法よりも成膜温度の低温化が可能となる。さらに、本発明の強誘電体薄膜の製造方法により作製された膜は、粒子径の小さい緻密な膜となり、リーク電流が小さく絶縁耐性の高い強誘電体薄膜を得ることができる。

【0084】より詳細には、従来の製造方法において650°C以下の焼成温度ではほとんど結晶化しない上に、強誘電体メモリとして必要な特性を得るために730°C以上の焼成が必要であったが、本発明の製造方法では従来の製造方法より100°C以上の低温化が可能となり、600°Cという低温の焼成温度でもメモリとして十分な特性が得られるので、強誘電体メモリのスタック構造を用いた集積化が可能となる。

【0085】また、本発明の強誘電体薄膜素子の製造方法により作製された薄膜は、結晶粒子の粗大化を抑制して膜の緻密化、表面平坦化が実現でき、微細加工にも適しているので、より高密度なデバイスの製造が実現できる。

【図面の簡単な説明】

【図1】本発明による強誘電体薄膜素子の第1の実施の形態の断面図である。

【図2】図1の強誘電体薄膜素子の製造工程の一部を示す工程図である。

【図3】図1の強誘電体薄膜素子の第2焼成温度に対する残留分極P_rの変化を示すグラフである。

【図4】図1の強誘電体薄膜素子の第2焼成温度に対する抗電界E_cの変化を示すグラフである。

【図5】図1の強誘電体薄膜素子の第2焼成温度に対する蓄積電荷量δQの変化を示すグラフである。

【図6】図1の強誘電体薄膜素子の印加電圧に対する残留分極P_rの変化を示すグラフである。

【図7】図1の強誘電体薄膜素子の印加電圧に対する抗電界E_cの変化を示すグラフである。

【図8】図1の強誘電体薄膜素子の印加電圧に対する蓄積電荷量δQの変化を示すグラフである。

【図9】図1の強誘電体薄膜素子の疲労特性を示す図である。

【図10】図1の強誘電体薄膜素子の第2焼成温度に対する3V印加時のリーク電流の変化を示すグラフである。

【図11】図2の製造方法で第1焼成温度を600℃、第2焼成温度を600℃として製造した膜の表面のSEM写真である。

【図12】従来の強誘電体薄膜素子の製造工程の一部を示す図である。

【図13】従来の強誘電体薄膜素子の第2焼成温度に対する蓄積電荷量δQの変化を示すグラフである。

【図14】従来の強誘電体薄膜素子の第2焼成温度に対する抗電界E_cの変化を示すグラフである。

【図15】従来の強誘電体薄膜素子の第2焼成温度に対する抗電界E_cの変化を示すグラフである。

【図16】従来の強誘電体薄膜素子の第2焼成温度に対する3V印加時のリーク電流の変化を示すグラフである。

【図17】従来の製造方法で第1焼成温度を600℃、第2焼成温度を600℃として製造した膜の表面のSEM写真である。

【図18】本発明による第2の実施の形態の強誘電体メモリの断面図である。

【図19】図18の強誘電体メモリの製造工程の一部を示す断面図である。

【図20】図18のSBT強誘電体メモリに3Vの電圧*

*を印加したときのヒステリシスループを示すグラフである。

【図21】図18のSBT強誘電体メモリの疲労特性を示すグラフである。

【図22】本発明による第3の実施の形態の強誘電体薄膜素子の強誘電体薄膜の最大結晶粒径に対する蓄積電荷量δQの標準偏差(σ)を蓄積電荷量δQの平均値(δQ_{Ave})で割った値の変化を示すグラフである。

10 【図23】本発明による第4の実施の形態の強誘電体薄膜素子の第2焼成の雰囲気ガス圧力(第2焼成圧力)に対する膜の残留分極P_rの変化を示すグラフである。

【図24】第4の実施の形態の強誘電体薄膜素子の第2焼成の雰囲気ガス圧力(第2焼成圧力)に対する蓄積電荷量δQの変化を示すグラフである。

【図25】第4の実施の形態の強誘電体薄膜素子の第2焼成の雰囲気ガス圧力(第2焼成圧力)に対する抗電界E_cの変化を示すグラフである。

20 【図26】第4の実施の形態の強誘電体薄膜素子の第2焼成の雰囲気ガス圧力(第2焼成圧力)に対する3V印加時のリーク電流の変化を示すグラフである。

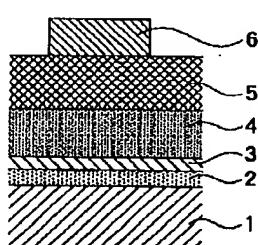
【図27】第4の実施の形態の強誘電体薄膜素子のSBT膜の第2焼成の雰囲気ガス圧力(第2焼成圧力)に対する膜のX線回折パターンを示す図である。

【図28】第4の実施の形態の強誘電体薄膜素子のSBT膜の第2焼成の雰囲気ガス圧力(第2焼成圧力)に対する膜組成比の変化を示すグラフである。

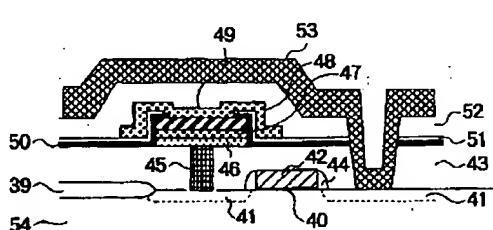
【符号の説明】

- 1 S i 基板
- 2 S i O₂
- 3 下部電極層
- 4 上部電極層
- 5、48 強誘電体薄膜
- 6 第2導電型不純物拡散領域
- 43、44、51、52 層間絶縁膜
- 45 メモリ部コンタクトプラグ
- 47 下部電極
- 49 プレート線
- 54 第1導電型シリコン基板

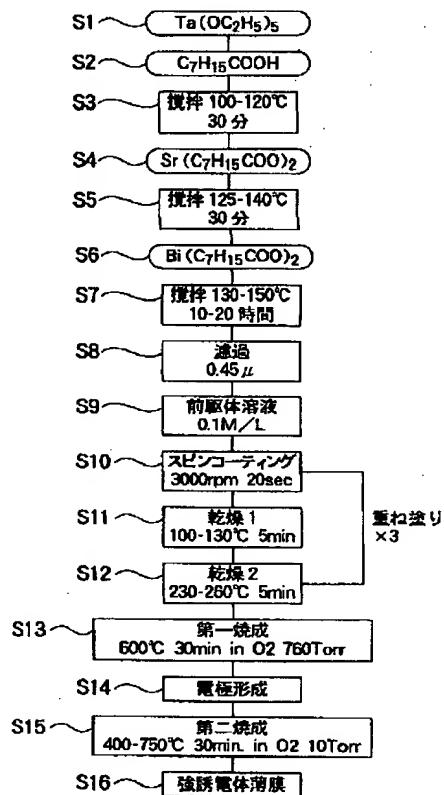
【図1】



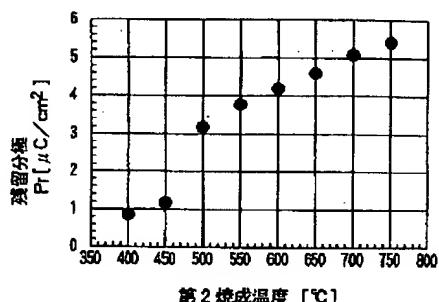
【図18】



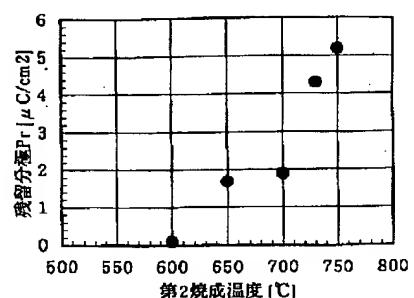
【図2】



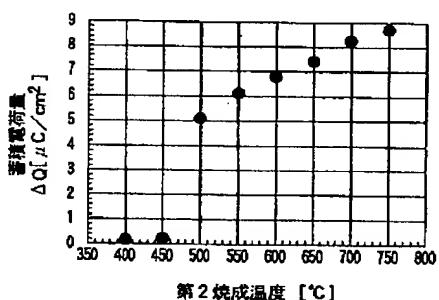
【図3】



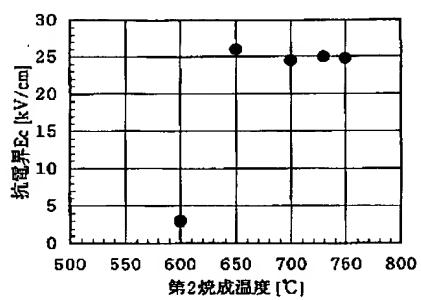
【図13】



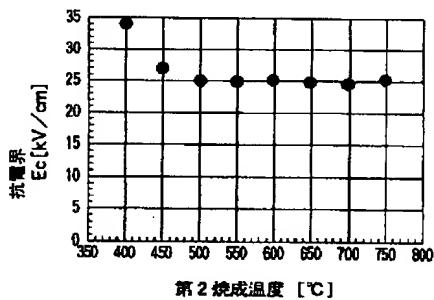
【図5】



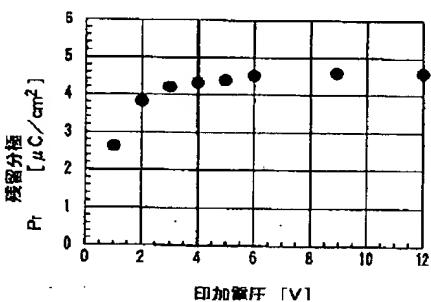
【図14】



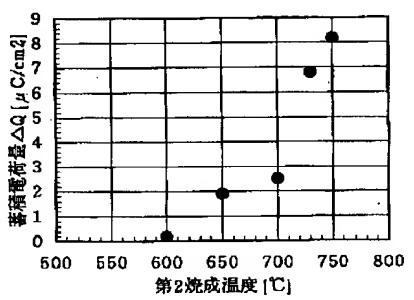
【図4】



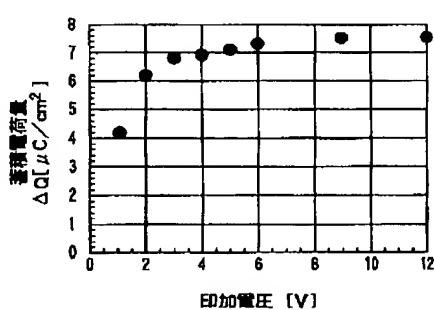
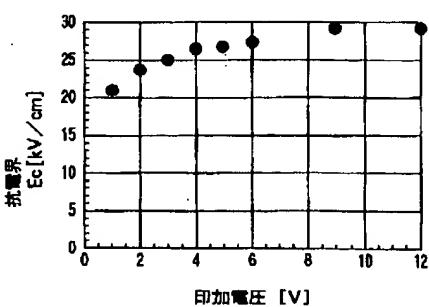
【図6】



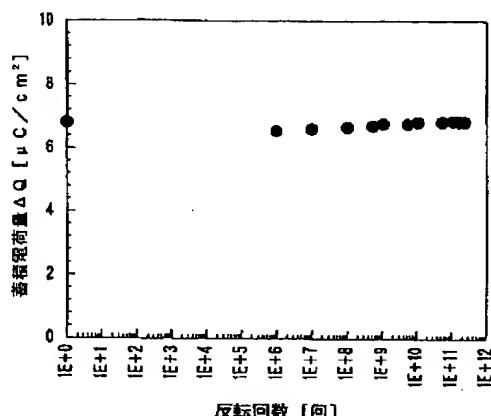
【図15】



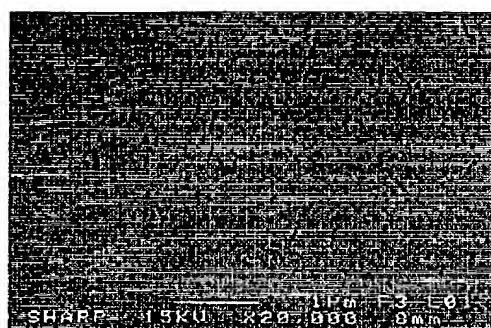
【図7】



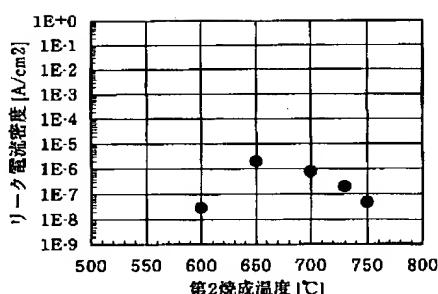
【図9】



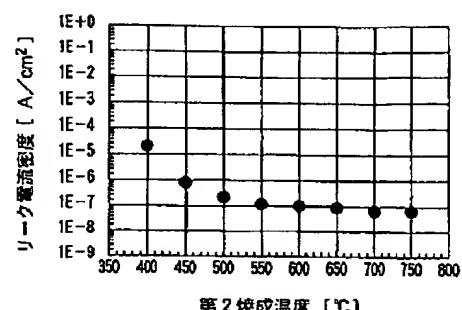
【図11】



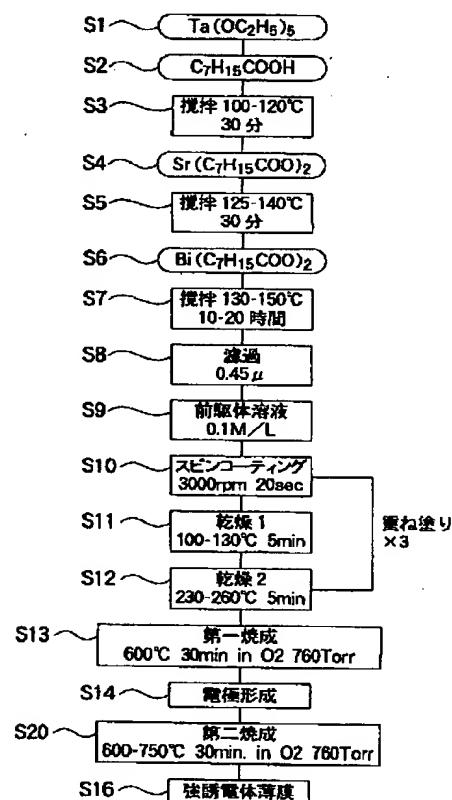
【図16】



【図10】



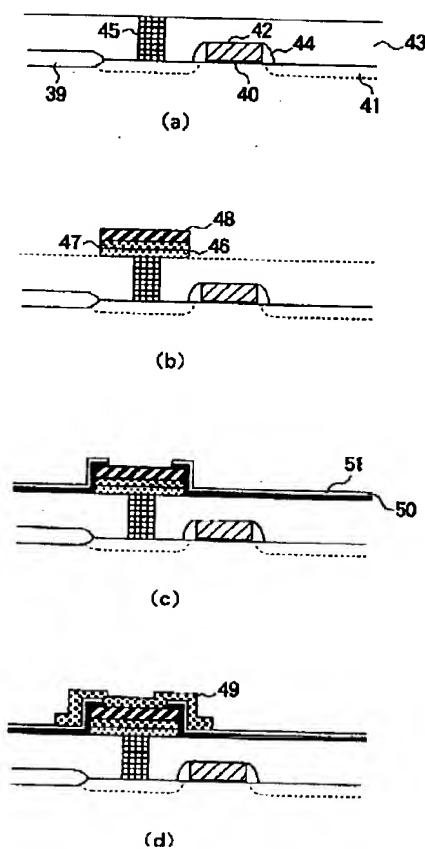
【図12】



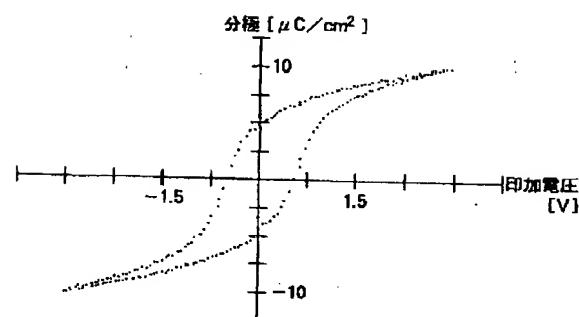
【図17】



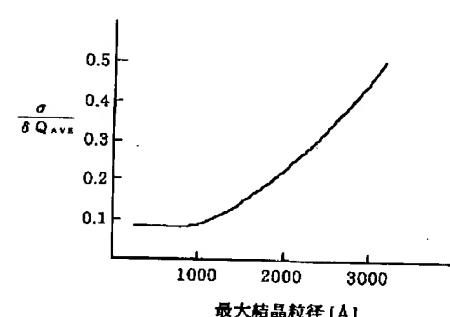
【図19】



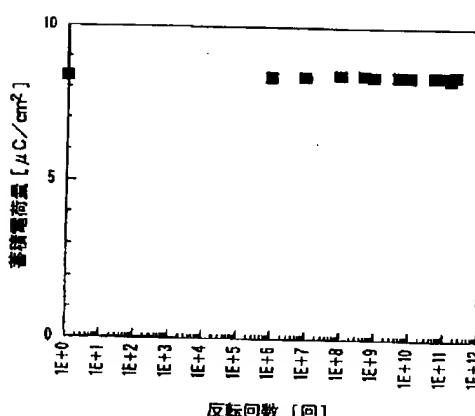
【図20】



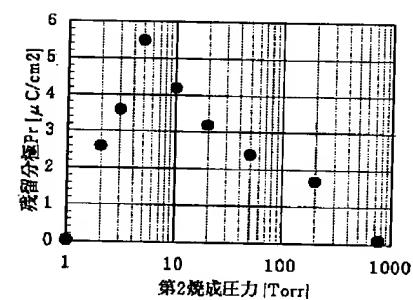
【図22】



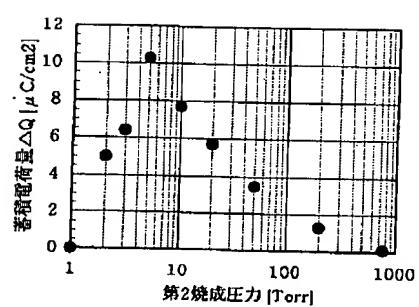
【図21】



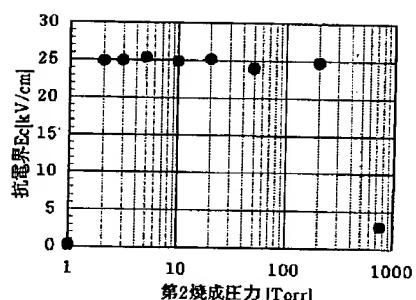
【図23】



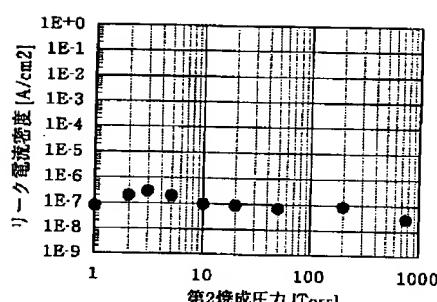
【図24】



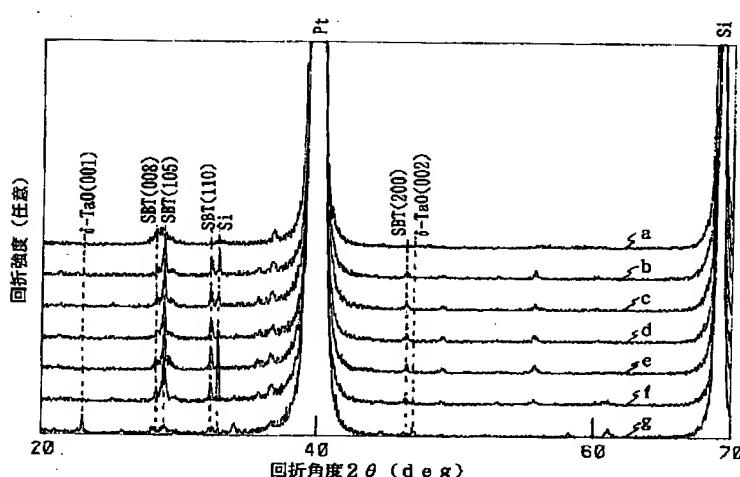
【図25】



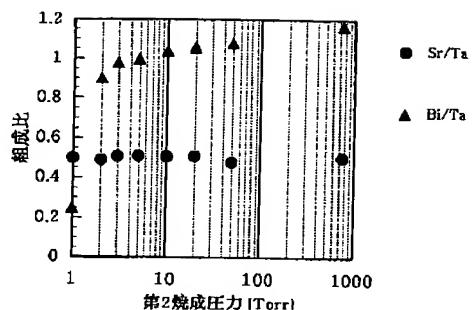
【図26】



【図27】



【図28】



フロントページの続き

(51) Int. Cl. 6
 H 01 L 29/788
 29/792
 37/02
 41/09
 41/187
 // H 01 L 21/316

識別記号 庁内整理番号

F I
 H 01 L 29/78
 41/08
 41/18

技術表示箇所

371
 C
 101B

(72) 発明者 松永 宏典
 大阪府大阪市阿倍野区長池町22番22号 シ
 ャープ株式会社内

(72) 発明者 木場 正義
 大阪府大阪市阿倍野区長池町22番22号 シ
 ャープ株式会社内